

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-102525
 (43)Date of publication of application : 20.04.1989

(51)Int.CI. G02F 1/133
 G09F 9/35
 H01L 27/04
 H01L 27/12
 H01L 29/78

(21)Application number : 62-262136 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.10.1987 (72)Inventor : TAKEDA ETSUO
 KAWAGUCHI TAKAO
 MINAMINO YUTAKA
 OOKAWA NORIKO
 NAGATA SEIICHI

(54) THIN FILM TRANSISTOR ARRAY AND LIQUID CRYSTAL DEVICE USING SAID ARRAY

(57)Abstract:

PURPOSE: To obtain a TFT array of a simple structure with the least stage and a low fraction defective by incorporating double layers of tantalum oxide and silicon nitride as a constituting element of the dielectric material of a thin film capacitor.

CONSTITUTION: This thin film transistor array is constituted by providing the double layers of the tantalum oxide and silicon nitride as the dielectric material of the capacitor. The thin film transistor array having the simple constitution is realized by laminating the tantalum oxide and silicon nitride successively on the gate electrodes and picture element electrodes separated and formed on the same plane is such insulating layers are used. In order to prevent an increase in the resistance of transparent electrodes by the direct contact of the transparent electrodes and TaOH, the structure to provide gate electrodes on the transparent electrodes is preferably adopted. The TFT array of a good yield is thereby formed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(9) 日本国特許庁 (JP)

(10) 特許出願公開

(11) 公開特許公報 (A)

平1-102525

(5) Int.Cl.¹

G 02 F 1/133
 G 09 F 9/35
 H 01 L 27/04
 27/12
 29/78

識別記号

3 2 7
 3 1 1

庁内整理番号

7370-2H
 7335-5C
 C-7514-5F
 7514-5F
 A-7925-5F

(6) 公開 平成1年(1989)4月20日

審査請求 未請求 発明の数 2 (全8頁)

(7) 発明の名称 薄膜トランジスタアレーおよびこれを用いた液晶表示装置

(8) 特願 昭62-262136

(9) 出願 昭62(1987)10月16日

(10) 発明者 武田 悅夫	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(10) 発明者 川口 隆夫	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(10) 発明者 南野 裕	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(10) 発明者 大川 野里子	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(10) 発明者 永田 清一	大阪府門真市大字門真1006番地	松下電器産業株式会社内
(11) 出願人 松下電器産業株式会社	大阪府門真市大字門真1006番地	
(12) 代理人 弁理士 中尾 敏男	外1名	

明細書

1. 発明の名称

薄膜トランジスタアレーおよびこれを用いた液晶表示装置

2. 特許請求の範囲

(1) 絶縁基板上に設けた薄膜トランジスタと、前記薄膜トランジスタのソース(またはドレーン)電極に接続された絵素電極と、前記絵素電極に接続された薄膜コンデンサを構成要素として含む薄膜トランジスタアレーにおいて、前記薄膜コンデンサの誘電体材料として酸化タンタルと窒化シリコンの2重層を構成要素として含むことを特徴とする薄膜トランジスタアレー。

(2) 薄膜コンデンサの誘電体材料として窒化シリコンの一方の正面に酸化タンタル、他方の正面に非晶質シリコンを接してなる3重層を構成要素として含むことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタアレー。

(3) 薄膜トランジスタのゲート絶縁層が前記酸化タンタルと前記窒化シリコンの2重層を構成要

素として含むことを特徴とする特許請求の範囲第

1項または第2項記載の薄膜トランジスタアレー。

(4) 薄膜コンデンサの一方の電極がゲート電極であることを特徴とする特許請求の範囲第1項、第2項、第3項いずれかに記載の薄膜トランジ

タアレー。
(5) ゲート電極と絵素電極が同一平面上に分離形成され、前記ゲート電極と前記絵素電極上に前記酸化タンタル、前記空化シリコンを順次積層してなることを特徴とする特許請求の範囲第1項、第2項、第3項、第4項いずれかに記載の薄膜トランジスタアレー。

(6) ゲート電極が絵素電極を構成する材料で少なくとも1部を形成されてなることを特徴とする特許請求の範囲第1項、第2項、第3項、第4項、第5項いずれかに記載の薄膜トランジスタアレー。

(7) 絵素電極上の1部にゲート電極を構成する材料を形成されてなることを特徴とする特許請求の範囲第1項、第2項、第3項、第4項、第5項、第6項いずれかに記載の薄膜トランジスタアレー。

(8) 酸化タンタルの膜厚がゲート層の膜厚より大で、空化シリコンの膜厚が1000Å以上であることを特徴とする特許請求の範囲第1項、第2項、第3項、第4項、第5項、第6項、第7項いずれかに記載の薄膜トランジスタアレー。

(9) 基板上にSiO₂を被着形成したことを特徴とする特許請求の範囲第1項、第2項、第3項、第4項、第5項、第6項、第7項、第8項いずれかに記載の薄膜トランジスタアレー。

(10) 絶縁基板上に設けた薄膜トランジスタと、前記薄膜トランジスタのソースまたはドレーン電極に接続された絵素電極と、前記絵素電極に接続された薄膜コンデンサを構成要素として含む薄膜トランジスタアレーにおいて、コンデンサの誘電体材料として酸化タンタルと空化シリコンの2重層を構成要素として含むことを特徴とする薄膜トランジスタアレーを用いたことを特徴とする液晶表示装置。

(11) コンデンサの誘電体材料として空化シリコンの一方の主面に酸化タンタル、他方の主面に

(15) ゲート電極が絵素電極を構成する材料で少なくとも1部を形成されてなる薄膜トランジスタアレーを用いたことを特徴とする特許請求の範囲第10項、第11項、第12項、第13項、第14項のいずれかに記載の液晶表示装置。

(16) 絵素電極上の1部にゲート電極を構成する材料を形成されてなる薄膜トランジスタアレーを用いたことを特徴とする特許請求の範囲第10項、第11項、第12項、第13項、第14項、第15項のいずれかに記載の液晶表示装置。

(17) 酸化タンタルの膜厚がゲート層の膜厚より大で、空化シリコンの膜厚が1000Å以上である薄膜トランジスタアレーを用いたことを特徴とする特許請求の範囲第10項、第11項、第12項、第13項、第14項、第15項、第16項のいずれかに記載の液晶表示装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は薄膜トランジスタと蓄積容量を有する薄膜トランジスタアレーの構成、およびその薄膜

非晶質シリコンを接してなる3重層を構成要素として含むことを特徴とする薄膜トランジスタアレーを用いたことを特徴とする特許請求の範囲第10項記載の液晶表示装置。

(12) 薄膜トランジスタのゲート絶縁層が前記酸化タンタルと前記空化シリコンの2重層を構成要素として含む薄膜トランジスタアレーを用いたことを特徴とする特許請求の範囲第10項または第11項記載の液晶表示装置。

(13) 薄膜コンデンサの一方の電極がゲート電極である薄膜トランジスタアレーを用いたことを特徴とする特許請求の範囲第10項、第11項、第12項のいずれかに記載の液晶表示装置。

(14) ゲート電極と絵素電極が同一平面上に分離形成され、前記ゲート電極と前記絵素電極上に前記酸化タンタル、前記空化シリコンを順次積層してなる薄膜トランジスタアレーを用いたことを特徴とする特許請求の範囲第10項、第11項、第12項、第13項のいずれかに記載の液晶表示装置。

トランジスタアレーを用いたアクティブライタクス型の液晶表示装置に関するものである。

従来の技術

近年、非晶質シリコン（以下a-Siと略す）を用いた薄膜トランジスタアレーは低温で大面积化が可能であり、安定性も優れていることから、液晶表示用基板、イメージセンサへの応用が積極的に行なわれている。このa-Siと良好な界面を形成する絶縁層としてSiNxが注目され実用化されている。また、同時に形成される蓄積容量の誘電体は誘電率の小さいSiO₂、SiNxを用いている。

TFTのゲートとソース・ドレーン間のショートを防止する目的でゲート金属がTa、ゲート絶縁膜にTa₂O₅（陽極酸化膜）/SiNx、半導体としてa-Siをもちいた薄膜トランジスタは特開昭58-14709号に開示されている。また容量としては高誘電率のTa₂O₅が検討され始めておりがそのリーク電流が課題である。Ta₂O₅/SiNxの構造によって安定な容量が実現できるこ

とが特開昭57-45968号に開示されている。
発明が解決しようとする問題点

上述した従来のTFTアレーの蓄積容量の誘電体であるSiO₂、SiNxの比誘電率はそれぞれ3.5、6.4である。またピンホールのない膜とするには2000Å以上必要である。従来のSiO₂、SiNxで所望の容量値を得るには絵素単位の中で容量部分の面積を大きくしなければならず、明るい液晶表示用基板とならなかった。

また(アモルファス) a-Siと良好な界面を形成するSiNxをゲート絶縁層としたTFTは単結晶SiのMOSに比べてオン電流が小さいことが欠点である。また液晶表示装置に応用する場合、オフ電流を更に低下させることが望まれている。また、SiNxを形成するとき、原料ガスはNH₃、SiH₄、H₂等の還元性のガスを用いるので表示電極が透明電極である時は透明電極が侵される。具体的には透明電極の透過率の低下、分解してパターンがくずれて横方向のリーク電流の増加等の悪影響がある。第4図に示すようにこれを防止す

液晶表示装置を提供することを目的とする。

問題点を解決するための手段

本発明は絶縁基板上に設けた薄膜トランジスタと、薄膜トランジスタのソース(またはドレーン)電極に接続された絵素電極と、絵素電極に接続された薄膜コンデンサを構成要素として含む薄膜トランジスタアレーにおいて、コンデンサの誘電体材料として酸化タンタルと窒化シリコンの2重層をもうけた薄膜トランジスタアレーである。このコンデンサは液晶表示装置用基板としては誘電体材料として窒化シリコンの一方の正面に酸化タンタル、他方の正面に非晶質シリコンからなる3重層の非対称のC-V特性を持つコンデンサの方が有利である。

薄膜トランジスタのゲート絶縁層が薄膜コンデンサを構成する酸化タンタルと窒化シリコンの2重層とした方がよい。

本発明の絶縁層を用いると同一平面上に分離形成されたゲート電極と絵素電極上に酸化タンタル、窒化シリコンを順次積層して簡単な構成の薄膜ト

るにはSiO₂等の酸化物で透明電極をが保護したのち、SiNxを形成する必要がある。このような構成にするとアレー構成及び作成プロセスが複雑になる欠点を有していた。また薄膜トランジスタのソース・ドレーン金属との良好なコンタクトを得るためにa-Si上のnative oxideを除去する工程が必須であるがそのエッティング液で絶縁層であるSiNxもエッティングされるのでレジスト等のマスクにピンホールがあるとそのままSiNxにピンホールが発生し、短絡の原因となっていた。ソース・ドレーン金属と透明電極とのコンタクトホールの段差は大きくソース・ドレーン金属のカバーレージの問題をもっていた。

第4図のような絵素電極を誘電率の小さいSiO₂、SiNxを保護している液晶表示装置では、ITOが露出しているときに比べて駆動電圧が大きくなる欠点があった。

本発明はかかる点に鑑み、構造が簡素で工程の少なく不良発生率の少ないTFTアレーおよびそのTFTアレーを用いた明るく駆動電圧の小さい

ランジスタアレーが実現できる。透明電極とTaO_xが直接接触して透明電極が高抵抗化するのを防止するため透明電極の上にゲート金属を設ける構造にするとよい。

酸化タンタルの膜厚はゲート電極の膜厚よりも大きくするとゲート電極をカバーすることができ、さらにSiNxを1000Å以上形成すると良い。要約すると本発明はパターン化されたゲート電極およびパターン化された絵素電極上にTaO_x/SiNxを積層し、TaO_x/SiNx上にパターン化したa-Si形成し、さらにパターン化したソース・ドレーン電極を形成したアクティブマトリックス基板であり、TaO_x/SiNxは薄膜トランジスタ部ではゲート絶縁層、容量部では誘電体層として、透明電極の絵素電極上では保護層として機能している。

作用

本発明の絶縁層を構成するSiNx、TaO_xの比誘電率はそれぞれ6.4、22であり、従来のSiNx、SiO₂の6.4、3.5から構成され

る絶縁層に比べてに比べて同一膜厚では容量が大きくできる。たとえば TaO_x (2000 Å) / SiN_x (2000 Å) の実効比誘電率は 10.5 となる。

この比誘電率の高い層が TFT 部においてはゲート絶縁層となり同一サイズの TFT よりオン電流を大きくできる。更に SiN_x/aSi の良好な界面が維持できる。蓄積容量部においては同一面積で容量値が増加する。また TaO_x 単層に比べてリーク電流が減少した。さらに絵素電極の保護層としても TaO_x/SiN_x は機能することになる。誘電率が高いことから同一膜厚の保護絶縁層で印入する電圧が小さくなり液晶を駆動するに必要な電圧は小さくできる。

また、透明電極の上に直接 TaO_x/SiN_x という絶縁層を設けることが出来るので、透明電極とのコンタクトの段差が小さくできる。これによりコンタクト不良率が減少した。

また、 TaO_x と透明電極を直接接触させるとあとの高溫プロセスで高抵抗層ができる。このため、

液晶等の負荷容量、116 は前段ゲートラインに接続された補助容量である。第 1 図 (a) は最終平面図、第 1 図 (b)、第 1 図 (c) は第 1 図 (a) の A-A' 線部分、B-B' 線部分の断面図である。以下この図で工程を説明する。

(1) ガラス基板 10 上に D.C. スパッタ法で ITO を 1000 Å を堆積する。透明導電層 ITO を第 1 図 (a) 破線に示す ITO 11a よりなるゲート電極、ITO 11b よりなる絵素電極の形に残すようにエッチングを施す。

(2) Cr 金属層 1000 Å を堆積する。Cr を 12a よりなるゲート電極として、12b よりなるコンタクトホール部の保護電極を絵素電極 11b の上に残すようにエッチングを施す。第 1 図 (a) は Cr 電極 12a、12b のパターンが示されている。

(3) 反応性スパッタ法で TaO_x 層 15 を 2000 Å を堆積する。

(4) プラズマ CVD 法で絶縁層としての SiN_x 層 13 を 2000 Å、半導体層として aSi 層 1

コンタクト抵抗が増加するので本発明ではゲート金属を介在させてこの課題を解決した。

蓄積容量部では後に述べる簡略化のプロセスにおいては、ゲート金属 / $TaO_x/SiN_x/aSi/n+aSi$ / ソース金属という MIS 構造となる。この C-V 特性は図 4 に示す。液晶を挟んでいる対向の電圧を V_{sc} 一定とし絵素電極の電圧を $V_{gd} -$ と $V_{gd} +$ の間で電圧を保持しながら液晶を交流駆動するが TFT のオフ抵抗の小さくなりやすい $V_{gd} -$ の値が 0 に近い $V_{gd} +$ の電圧の時容量値は大きくなりオフ抵抗の変動を補償する。

実施例

以下実施例に関して平面図、断面図を用いて説明する。

(実施例 1)

第 3 図に示す等価回路の絵素単位（破線内）をもつアクティブマトリックス回路を実現する方法である。111 はゲートライン、112 はソースライン（またはドレーンライン）、113 は前段のゲートライン、114 はトランジスタ、115 は

4 を 500 Å、 SiN_x 層 18 を 1000 Å 堆積する。

(4) チャンネル保護層となる層 SiN_x 18 を第 1 図 (a) に示すバターン 18a、18b の形に残すようエッチングする。

(5) プラズマ CVD 法で不純物ドープ $n+aSi$ 層 16 を 500 Å 堆積する。

(6) 第 1 図 (a) のバターン 50a、50b に示すバターンに CF4 と O2 を用いて層 16、14、13、15 をドライエッチングしてコンタクトホールを形成する。

(7) DC スパッタ法で $MoSi$ 219 を 500 Å、A117 を 7000 Å 堆積する。

(8) 層 17、19 を第 1 図 (a) に示すバターンのソース（またはドレーン）電極 17a、ドレーン（またはソース）電極 17b、蓄積容量用電極 17c のバターンに残すようエッチングする。A1 の下の $MoSi$ 219 をエッチングするとき、17a、17b、17c のバターンにおおわれていない露出している部分の $n+aSi$ 16 および 1

7a、17b、17c、18a、18bのバターン下以外の領域のaSi層をエッティングする。

図のようにゲート電極と透明電極と2重になっており、ゲート断線不良は発生しなかった。

本実施例では5枚のマスクでアクティブマトリックス基板が形成できる。絵素電極は透明であるので透過型液晶ディスプレー等に用いられる。

(実施例2)

第2図(a)は最終平面図、第2図(b)、第2図(c)は第2図(a)のC-C'線部分、D-D'線部分の断面図である。以下この図で工程を説明する。

実施例1では露出しているガラス基板はaSiやSiNxのエッティングの際に同時に10000Å程度エッティングされるので液晶の配向ムラ等の不都合が生じる。このため本実施例では実施例1の工程(1)のまえに下地ガラス基板10の上にSiO₂20を常圧CVD法で2000Å形成しておく。ガラス基板に比べてSiO₂はプロセス中のエッティングガスやエッティング液に対して耐性がある。こ

すればよく、Cr、Mo、TiN、シリサイド等がある。さらにゲート金属はAlとMoSi₂、AlとTiN等の2種類以上の層からなっていてもかまわない。

(実施例3)

実施例1で作成したTFTアレーを一方の基板として5.5μmのギャップをもたせて透明な対向電極を有する基板を保持して間に液晶を注入することによって液晶パネルを作成する。この液晶パネルの画像特性は次の通りである。第5図(b)に実施例1で作成したTFTアレーを従来例とともに絵素電極部の断面図を示す。

第5図の(a)の従来の場合に比べ、(b)の本発明の場合には、表示電極上の絶縁膜の誘電率が大きいため、液晶に印加される実効電圧が大きくなる。このため駆動電圧はそれぞれ4.1V、3.6Vとなる。

画面のちらつきの程度を示すフリッカ成分の大きさは透過光の30Hz振動成分強度対透過光の直流成分の比で従来例では2.0%、本発明の

のようにすると下地ガラス基板は1000Åエッティングされただけであった。また実施例1の工程(4)において本実施例では第2図(a)に示すようにソースバスラインとゲートバスラインの交差するところにチャンネル保護層となる層18を18bのバターンで残す。このようにするとソースバスラインとゲートバスラインの交差する部分でのショート発生率が減少する。さらに実施例1の工程(6)において第2図(a)のバターン20に示すバターンのようにCF₄とO₂を用いて層16、14、13、15をドライエッティングする。このようにすると絵素電極ITOは露出した構造となり動作電圧を低下させることができる。絵素電極上にCrを残さないと動作電圧が0.2V程度上昇する。

上述した実施例ではゲート電極をITO上にとCr金属でゲート配線を形成する方法を示したが、ITOの代わりに透明電極としてSnO₂、CdO、ZnO等がある。透明電極上の金属は半導体層及び絶縁層のエッティング剤に耐えられる材料を選択

例では1.0%である。

発明の効果

1. 電気特性

比誘電率の大きい絶縁層を用いていることから半導体界面の電界強度が大きくなり、TFTのオン電流大、オフ電流小となる。第6図の破線はゲート絶縁層がSiNx(4000Å)、実線はTaO_x(2000Å)/SiNx(2000Å)の場合のId-Vg特性をそれぞれ破線と実線にて第6図に示す。TaO_x(2000Å)/SiNx(2000Å)のTFTのオンとオフの変化が急峻でありこのTFTを用いたTFTアレー基板で液晶表示装置に画面上下の輝度の差が大幅に改善された。また、同一オン電流を得るTFTのW/Lは小さくでき、オフ電流は更に小さくできる。

2. 液晶パネルの画像特性

この絶縁体を用いた容量部の面積、TFT部の面積は小さくてよい。表示電極は大きくでき、明るいLCD実現できる。

ITOの保護膜TaO_x/SiNxの誘電率が大

なので印加電圧のほとんどが液晶にかかり動作電圧が小さくできる。

また、フリッカーも小さくなる。

3. 構造

透明電極を保護する絶縁酸化物層は本発明では TaO_x 、従来例では SiO_2 である。コンタクトホールの段差はそれぞれ 4000 Å 、 6000 Å である。本発明の TFT アレーは透明電極とコンタクトがとりやすく、接触不良による欠陥の発生率が従来に比べ半減した。

4. プロセス

TaO_x は $SiNx$ 、 aSi の HF 系のエッチング液でほとんどエッチングされないので、 $SiNx$ 、 aSi にピンホールがあってもゲート金属とソース・ドレーン金属との短絡欠陥がほとんど皆無となり、且つ容量部のショートによる点欠陥の発生率も減少した。

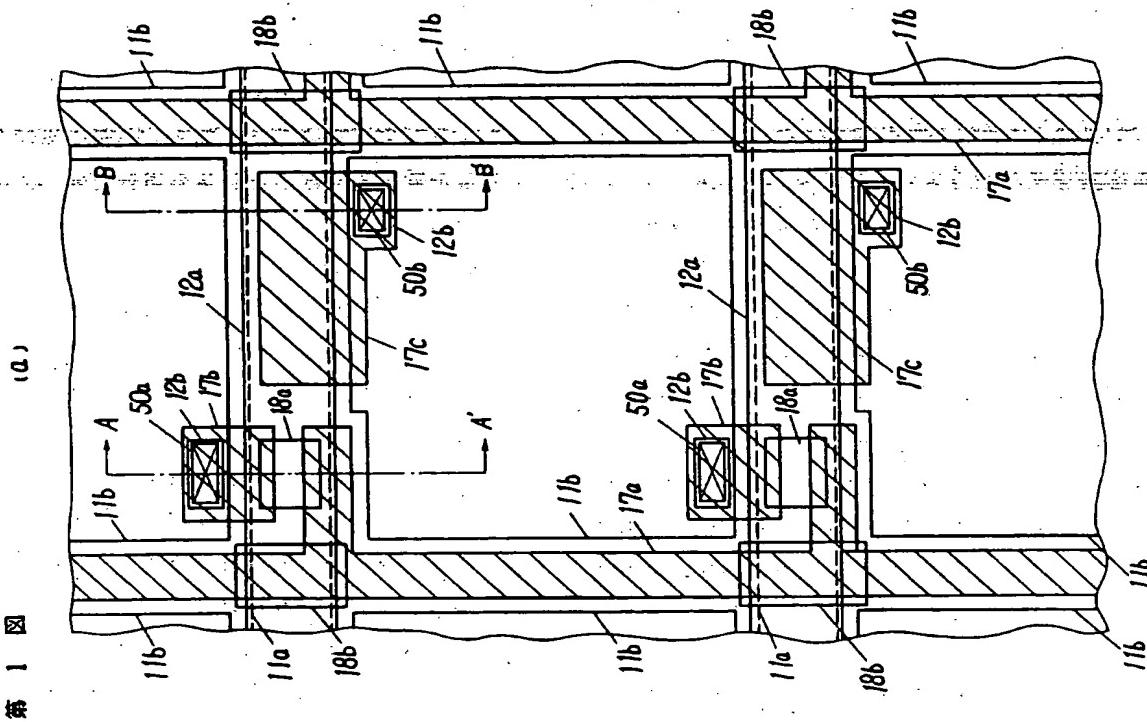
本発明で歩留まりの良い TFT アレーの構造及び製造方法を開示した。この TFT アレーを用いた液晶パネルは画像特性も優れている。

4. 図面の簡単な説明

第1図(a)は本発明の実施例1の TFT アレーの平面図、同(b)、(c)は同(a)の A-A'、B-B' 線断面図、第2図(a)は本発明の実施例2の TFT アレーの平面図、同(b)、(c)は同(a)の C-C'、D-D' 線断面図、第3図は本発明の実施例の等価回路図、第4図は C-V 特性図、第5図(a)、(b)は従来の TFT アレーおよび本発明の TFT アレーの 1 組素の断面図、第6図は従来の TFT アレーおよび本発明の TFT アレーのトランジスタ特性図である。

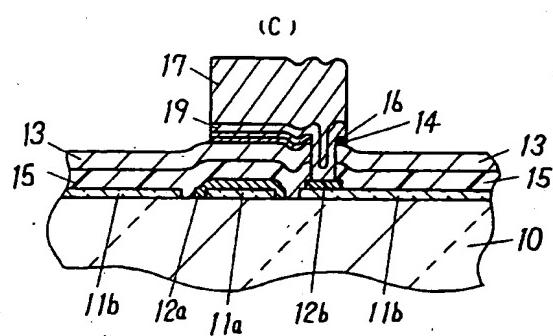
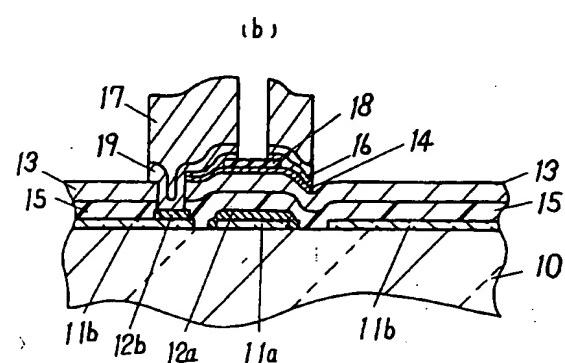
11... 透明電極、12... 金属層、12a... ゲートバスラインパターン、12b... 素子電極上のゲート金属パターン、15... TaO_x 、13... $SiNx$ 、17... 蓄積容量の一方の電極パターン。

代理人の氏名 弁理士 中尾敏男 ほか1名

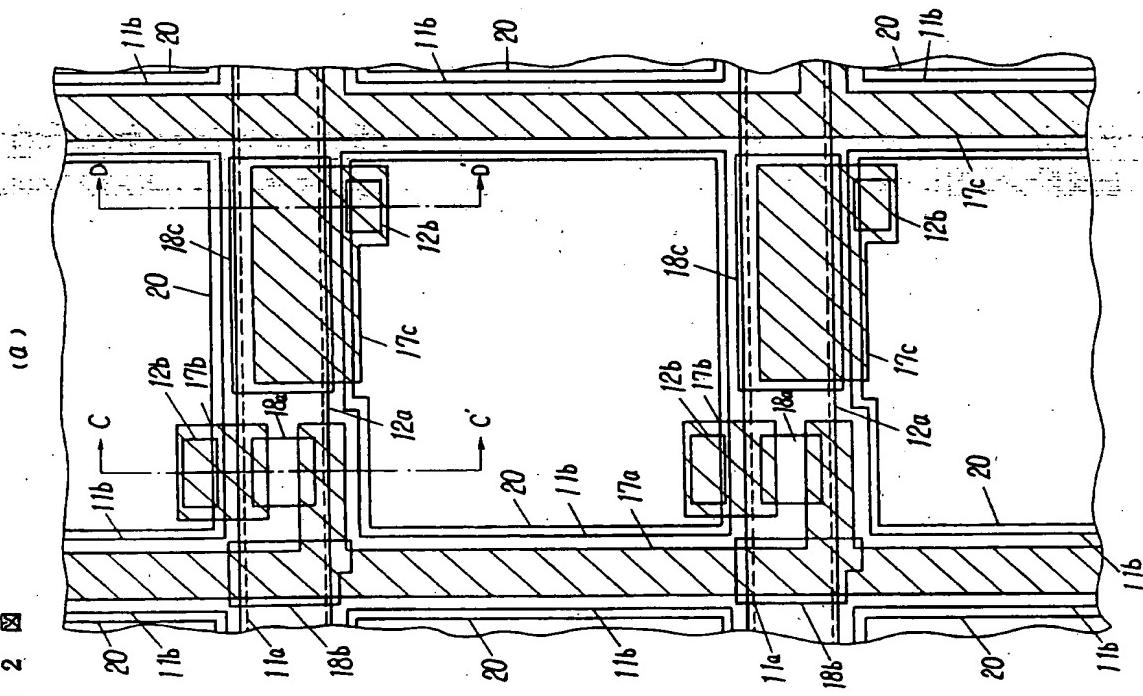
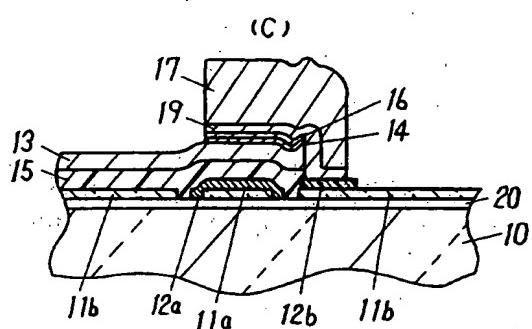
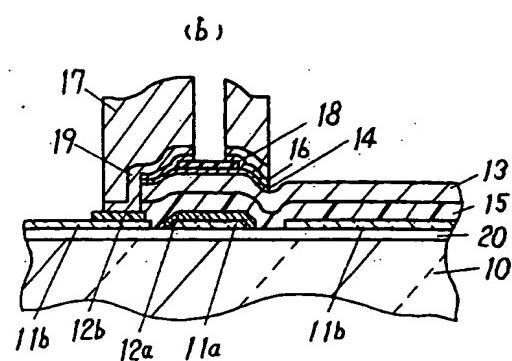


第1図

第1図

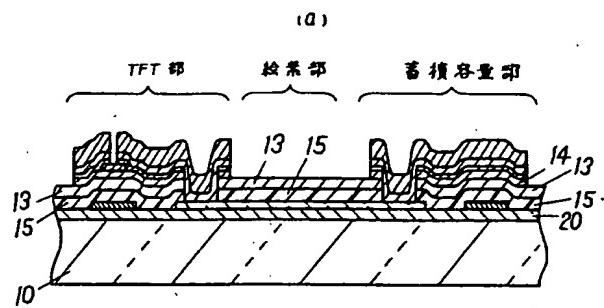


第2図

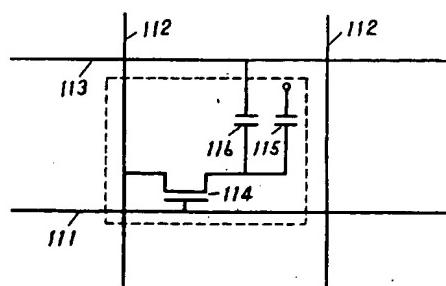


第2図

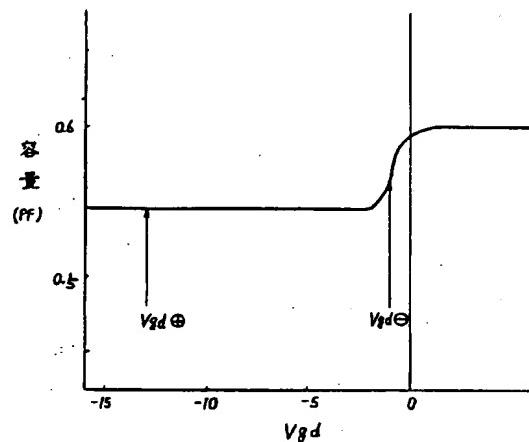
第5図



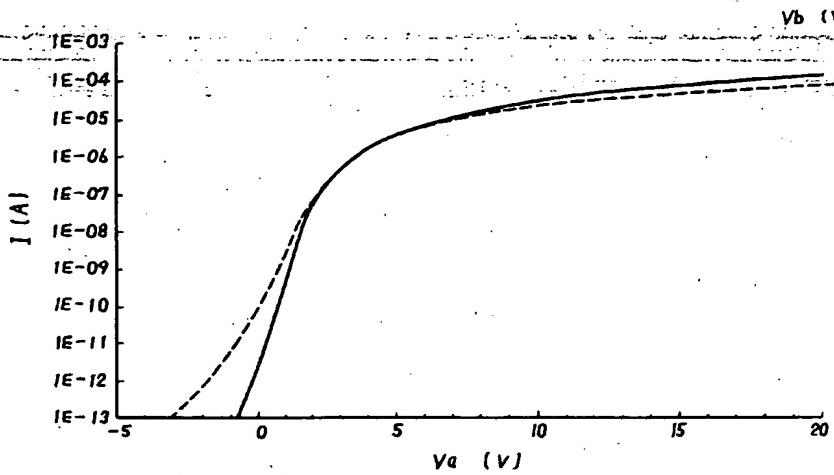
第3図



第4図



第6図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.